

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-98764

⑮ Int. Cl.

H 01 L 27/08  
29/78

識別記号

1 0 2

庁内整理番号

7735-5F  
8422-5F

⑬ 公開 昭和62年(1987)5月8日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭60-240105

⑰ 出 願 昭60(1985)10月25日

⑱ 発 明 者 田 中 義 光 門真市大字門真1048番地 松下電工株式会社内  
⑲ 発 明 者 細 谷 清 志 門真市大字門真1048番地 松下電工株式会社内  
⑳ 出 願 人 松下電工株式会社 門真市大字門真1048番地  
㉑ 代 理 人 弁理士 松本 武彦

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第1導電型の半導体層上に、これより不純物濃度の高い第2導電型の第1および第2の少くとも2つのウエルが、これらのウエルよりさらに不純物濃度の高い第1導電型の分離層によって分離されて半導体基板が形成されており、第1のウエル内にはその表面にこれより不純物濃度の高い第2導電型の第1領域が形成され、この第1領域内とそれに隣接する第1のウエルの表面には、さらに不純物濃度の高い第1導電型の第2および第3領域が、第2領域は第1領域から出ないように、第3領域はこの第1領域と接しないように、それぞれ、形成されており、この第1のウエルの表面上には、前記第2領域と接続された第1の電極と、前記第3領域と接続された第2の電極と、前記第2領域、第1領域、第1のウエルおよび第3領域にまたがるように絶縁層を介して形成された

第3の電極とが形成されており、この第3の電極を絶縁ゲート、第2の電極をドレイン電極、第1の電極をソース電極として第1導電型MOSFETが形成されており、一方、前記分離層表面には前記第2のウエルと離間するようにこの分離層よりも不純物濃度の高い第2導電型の第4領域が形成されているとともに、第2のウエル内にはその表面にこの第2のウエルよりも不純物濃度の高い第2導電型の第5領域が形成されており、これらの表面上には、前記第4領域とそのまわりの分離層とをつなぐ第4の電極と、前記第5領域と接続された第5の電極と、前記第4領域、分離層および第2のウエルにまたがるように絶縁層を介して形成された第6の電極とが形成されており、この第6の電極を絶縁ゲート、第5の電極をドレイン電極、第4の電極をソース電極として第2導電型MOSFETが形成されており、これら2つのMOSFETの絶縁ゲート同士およびドレイン電極同士が接続されて相補型MOSが形成されるようになっている半導体装置。

## 3. 発明の詳細な説明

## (技術分野)

互いに極性の異なるFETを備え、相補型MOS(CMOS)となる半導体装置に関する。

## (背景技術)

MOSFET(絶縁ゲート電界効果トランジスタ)を用いた論理回路であるMOS論理回路の最も基本となる回路は、否定論理の機能をもつゲート回路でインバータとも呼ばれる。MOSインバータは、ドライバ素子と負荷素子の直列回路からなるが、通常どちらにもMOSFETが用いられる。MOSFETの組合せはいくつかあるが、その一つにCMOS(相補型インバータ)があり、PチャネルとNチャネルのエンハンスメント型MOSFETを直列に接続し、ゲートを共通に接続して入力端とし、ドレインを共通に接続して出力端とする。

第2図は、NチャネルMOSFETとPチャネルMOSFETを備えた従来のCMOSの構造をあらわす。N型基板21中にP型ウエル22が形成されており、これがNチャネルとPチャネルを分離する。P

型ウエル22の外には、P型のドレイン23とソース24とを備えたPチャネルのMOSFETが形成され、ウエル22内は、N型不純物拡散でN型のドレイン25とソース26とが形成されてNチャネルのMOSFETとなっている。なお、図中、27、28は、それぞれ、絶縁層29、29を介して形成された絶縁ゲートである。

ところが、図のような構造のCMOSでは、PN接合に印加された逆バイアスのために空乏層が広がってMOSFETが短絡してしまう、いわゆる、パンチスルーを防ぐことが困難である。そこで、このようなパンチスルーを防ぐ(パンチスルー耐圧を高める)ために、例えば、ドレインの一部に低不純物濃度領域を形成する等の試みがなされているが、このような方法では、高精度の不純物濃度制御技術が必要で、また、その効果にも限度がある。さらに、このようなCMOSでは、通常、基材に高電位を印加して使用するため、CMOS以外の素子をこの基材上に形成するためには、これらの素子を、ことごとく、Pウエル中に形成しな

ければならない。そのため、これらの部分に寄生素子が形成されてラッチアップが発生する恐れもあり、問題となっている。

## (発明の目的)

この発明は、以上の問題に鑑みてなされたものであって、パンチスルーやラッチアップが発生しにくく、高耐圧化および複合集積化が容易なCMOSを形成できる半導体装置を提供することを目的としている。

## (発明の開示)

以上の目的を達成するため、この発明は、第1導電型の半導体層上に、これより不純物濃度の高い第2導電型の第1および第2の少くとも2つのウエルが、これらのウエルよりさらに不純物濃度の高い第1導電型の分離層によって分離されて半導体基板が形成されており、第1のウエル内にはその表面にこれより不純物濃度の高い第2導電型の第1領域が形成され、この第1領域内とそれに隣接する第1のウエルの表面には、さらに不純物濃度の高い第1導電型の第2および第3領域が、

第2領域は第1領域から出ないように、第3領域はこの第1領域と接しないように、それぞれ、形成されており、この第1のウエルの表面上には、前記第2領域と接続された第1の電極と、前記第3領域と接続された第2の電極と、前記第2領域、第1領域、第1のウエルおよび第3領域にまたがるように絶縁層を介して形成された第3の電極とが形成されていて、この第3の電極を絶縁ゲート、第2の電極をドレイン電極、第1の電極をソース電極として第1導電型MOSFETが形成されており、一方、前記分離層表面には前記第2のウエルと隣接するようにこの分離層よりも不純物濃度の高い第2導電型の第4領域が形成されているとともに、第2のウエル内にはその表面にこの第2のウエルよりも不純物濃度の高い第2導電型の第5領域が形成されており、これらの表面上には、前記第4領域とそのまわりの分離層とをつなぐ第4の電極と、前記第5領域と接続された第5の電極と、前記第4領域、分離層および第2のウエルにまたがるように絶縁層を介して形成された第6の

電極とが形成されていて、この第6の電極を絶縁ゲート、第5の電極をドレイン電極、第4の電極をソース電極として第2導電型MOSFETが形成されており、これら2つのMOSFETの絶縁ゲート同士およびドレイン電極同士が接続されて相補型MOSが形成されるようになっている半導体装置を要旨としている。

以下に、この発明を、その一実施例をあらわす第1図にもとづいて、くわしく説明する。

P型(第1導電型)の半導体層1上に、これより不純物濃度の高いN型(第2導電型)の第1および第2の少くとも2つのウエル2、3がこれらのウエル2、3よりさらに不純物濃度の高いP型の分離層4・・・によって分離されて半導体基板が形成されている。

このように、半導体基板を形成する方法は、これに限定されないが、たとえば、次のようにして行なわれる。

まず、P型の半導体層1上に、これより不純物濃度の高いN<sup>-</sup>層を、エピタキシャル成長等の方

法によって形成する。つぎに、このN<sup>-</sup>層の所定の位置にP型不純物を拡散して、N<sup>-</sup>層より不純物濃度の高いP型の分離層4・・・を形成し、N<sup>-</sup>層をウエル2、3に分離するのである。

第1のウエル2内には、その表面に、この第1のウエル2よりも不純物濃度の高いN型の第1領域5が形成されている。そして、この第1領域5内と、これに隣接する第1のウエル2の表面には、それぞれ、前記第1領域5よりもさらに不純物濃度の高いP型の第2領域6および第3領域7が形成されている。第2領域6は第1領域5から出ないように環状に形成されており、第3領域7は第1領域5と接触しないように環状に形成されている。第2領域6には、第1の電極8が接続されており、第3領域7には、第2の電極9が接続されている。第1のウエル2の表面上には、第2領域6、第1領域5、第1のウエル2および第3領域7にまたがるように、絶縁層10aを介して、第3の電極11が形成されている。そして、この第3の電極11を絶縁ゲート、第2の電極9をド

レイン電極、第1の電極8をソース電極として、P型MOSFET(絶縁ゲート型電界効果トランジスタ)が形成されるのである。

第2のウエル3内と、この第2のウエル3を囲むように形成された分離層4の各表面には、それぞれ、この分離層4よりも不純物濃度の高いN型の第4領域12および第5領域13が形成されている。第4領域12は第2のウエル3を囲むように、しかも、この第2のウエル3と接触しないように環状に形成されており、第5領域13は第2のウエル3から出ないように形成されている。第4領域12には、この第4領域12とそのまわりの分離層4をつなぐように形成された第4の電極14が設けられており、第5領域13には、第5の電極15が接続されている。第4の電極14と第5の電極15との間には、第4領域12、分離層4および第2のウエル3にまたがるように、絶縁層10bを介して、第6の電極16が形成されている。そして、この第6の電極16を絶縁ゲート、第5の電極15をドレイン電極、第4の電

極14をソース電極として、N型MOSFETが形成されるのである。そして、このN型MOSFETでは、分離層4の上部を、チャネルを構成するベース4aとして使用するようになっている。

このあと、以上2つのMOSFETの絶縁ゲート同士11および16を1つに接続して入力端( $V_{in}$ )とし、かつ、ドレイン電極同士9および15を1つに接続して出力端( $V_{out}$ )とすれば、CMOSが得られる。なお、このようなCMOSでは、N型MOSFETのソース電極14を低レベルまたはアースに接続して低電位端 $V_{ss}$ とし、P型MOSFETのソース電極8を高レベルに接続して高電位端 $V_{DD}$ として使用するようになっている。

以上のようにこの発明の半導体装置を用いてCMOSを形成した場合には、低電位端( $V_{ss}$ )となっているN型MOSFETのソース電極14がベース4aとも接続しているため、このベース4aを含む拡散層4や半導体層1あるいは他の拡散層(図中右はしのもの等)4・・・をも低電位状態(アース状態を含む)とすることができる。このた

め、このCMOS以外の素子を同一基板上に形成する場合には、必ずしもウエル中に形成する必要はなくなり、ラッチアップが発生する恐れもなくなる。また、各ウエル中を、それぞれ独立した電位にすることも可能となり、種々の素子を形成することができるようになるのである。

N型MOSFETでは、チャネルを形成するP型のベース4aとドレインとなる第2のウエル3とのPN接合において、ベース4aの方が第2のウエル3よりも不純物濃度が高くなっているため、逆バイアス状態になったときには、空乏層は、第2のウエル3内には拡がるが、ベース4aにはほとんど拡がらない。このため、この部分でパンチスルーが発生する恐れはない。このことは、P型MOSFETでも同様であって、チャネルの一部である第1のウエル2と、ドレインとなる第3領域7とのPN接合では、第3領域7の方が不純物濃度が高いため、この第3領域7には、空乏層はほとんど拡がらない。また、チャネルの一部である前記第1のウエル2には空乏層が拡がるが、チャネルを形

成する残りの部分である第1領域5の不純物濃度が、第1のウエル2よりも高くなっているため、この部分にまで空乏層が拡がることはない。いいかえれば、このP型MOSFETでは、チャネルの1部を構成する第1のウエル2はしきい値の低い(場合によってはデプレッション型になっている)部分であっても、チャネルの残りを構成する第1領域5は高しきい値部分になっているため、この部分によってMOSFETのON、OFFが制御されるようになっているのである。そして、このことによってパンチスルーの発生を防ぐようになっている。

N型の2つのウエル2、3は、P型の半導体層1よりもその不純物濃度が高くなっており、このPN接合では、逆バイアスが印加されたときには、空乏層は、半導体層1には拡がるが、ウエル2、3内にはあまり拡がらない。したがって、ウエル2、3の厚みを薄くしても、このPN接合から発生した空乏層がチャネルにまで届く恐れがなく、高耐圧化を保ちながら、しかもウエル2、3の厚みを薄くすることができるため、前述したエビ

タキシャル成長や不純物拡散による分離層の形成等の工程を簡略化することが可能となる。

また、この実施例では、このチャネルの長さを長くとり、それによって空乏層の拡がりによるパンチスルーを防ぐようにもなっていて、さらに高耐圧性をも実現している。

この発明では、以上のようにして、ラッチアップやパンチスルーを防いでいるため、複合集積化や高耐圧化の容易なCMOSを形成することができるようになるのである。

これまでは、第1図の実施例にもとづいてこの発明の半導体装置を説明してきたが、この発明の構成は図の実施例に限られるものではない。たとえば、図の実施例では、N型あるいはP型のチャネルが、それぞれ、環状に形成され、1つのN型のMOSFETと、1つのP型のMOSFETとして使用されるようになっていたが、MOSFETを構成するチャネルの数は2つ以上であってもかまわず、環状になっていなくてもよい。また、この実施例では、半導体層1がP型であったため、第1導電型がP型

で第2導電型がN型になっていたが、半導体層1がN型である場合には、第1導電型がN型で第2導電型がP型になることはいうまでもない。

#### (発明の効果)

この発明の半導体装置は、以上のように構成されており、半導体基板を構成する半導体層および分離層が低電位端(低レベルまたはアース)と接続されるようになっていて、かつ、両MOSFETのチャネルのまわりの各層の不純物濃度に差をつけてこのチャネルに逆バイアス時の空乏層が及ばないようにしているため、ラッチアップやパンチスルーが発生しにくく、高耐圧化や複合集積化が容易なCMOSを形成することが可能となっている。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例の構成をあらわす説明図、第2図は従来例をあらわす説明図である。

1…半導体層 2、3…ウエル 4…分離層  
5…第1領域 6…第2領域 7…第3領域 8  
2…第4領域 13…第5領域 8、9、11、



[Advantages of the Present Invention]

In the semiconductor apparatus, according to the present invention, having the structure described above, the semiconductor layer and the separating layer in the semiconductor substrate are connected to the low-voltage end (having a low voltage or grounded) and the depletion in the reversed biased state does not expand into this channel attributable to the variation in the impurity concentration of each layer around the channels of both the MOSFETs, so that the CMOS can be formed in which the occurrence of the latch-up phenomenon or the punch-through breakdown is suppressed and which has a high breakdown voltage and can be easily integrated.

4. Brief Description of the Drawings

Fig. 1 illustrates the structure of a semiconductor apparatus according to an embodiment of the present invention. Fig. 2 illustrates a known semiconductor apparatus.

- 1 semiconductor layer
- 2, 3 well
- 4 separating layer
- 5 first area
- 6 second areas
- 7 third area

12 fourth area

13 fifth area

8, 9, 11, 14, 15, 16 electrode

10a, 10b insulating layer

Patent Attorney      Takehiko MATSUMOTO



- (11) Japanese Patent Laid-Open No. 62-98764
- (43) Laid-Open Date: May 8, 1987
- (21) Application No. 60-240105
- (22) Application Date: October 25, 1985
- (72) Inventors: Yoshimitsu TANAKA
- (72) Inventors: Kiyoshi HOSOYA
- (71) Applicant: Matsushita Electric Works, Ltd.

#### SPECIFICATION

1. Title of the Invention: SEMICONDUCTOR APPARATUS
2. Claim

(1) A semiconductor apparatus having a semiconductor substrate in which at least two wells including a first second-conductive-type well and a second second-conductive-type well are separated by a first-conductive-type separating layer on a first-conductive-type semiconductor layer, the first and second wells having an impurity concentration higher than that of the first-conductive-type semiconductor layer, and the separating layer having an impurity concentration higher than the first and second wells; wherein the first well includes a second-conductive-type first area having an impurity concentration higher than that of the first well beneath its surface, first-conductive-type second areas having an impurity

concentration higher than that of the first area are formed in the first area so as not to protrude from the first area, and first-conductive-type third areas having an impurity concentration higher than that of the first area are formed beneath the surface of the first well adjacent to the first area so as not to be in contact with the first area; wherein a first electrode connected to the second areas and second electrodes connected to the corresponding third areas are formed on the surface of the first well, and third electrodes are formed over the surface of the first well with the corresponding insulating layer sandwiched therebetween so as to stride across the corresponding second area, the first area, the first well, and the corresponding third area, the third electrode serving as an insulating gate, the adjacent second electrode serving as a drain electrode, and the first electrode serving as a source electrode to form a first-conductive-type MOSFET; wherein second-conductive-type fourth areas having an impurity concentration higher than that of the separating layer are formed beneath the surface of the separating layer so as to be apart from the second well and a second-conductive-type fifth area having an impurity concentration higher than that of the second well is formed beneath the surface of the second well; wherein fourth electrodes formed so as to connect the corresponding fourth area to the surrounding

separating layer and a fifth electrode connected to the fifth area are formed on the second well, and sixth electrodes are formed over the surface of the second well with the insulating layers sandwiched therebetween so as to stride across the corresponding fourth area, the separating layer, and the second well, the sixth electrode serving as the insulating gate, the fifth electrode serving as the drain electrode, and the fourth electrode serving as the source electrode to form a second-conductive-type MOSFET; and wherein the insulating gate of the first-conductive-type MOSFET is connected to the insulating gate of the second-conductive-type MOSFET and the drain electrode of the first-conductive-type MOSFET is connected to the drain electrode of the second-conductive-type MOSFET to form a complementary MOS.

### 3. Detailed Description of the Invention

#### [Technical Field of the Invention]

The present invention relates to a semiconductor apparatus that is provided with FETs having different polarities to form a complementary MOS (CMOS).

#### [Related Art]

The most basic circuit of a MOS logical circuit, which is a logical circuit using a MOSFET (insulated-gate field-effect transistor), is a gate circuit having a negation logic function. The gate circuit is also referred to as an

inverter. A MOS inverter is a series circuit including a driver device and a load device, and the MOSFET is ordinarily used in both the driver device and the load device. One of the MOSFET combinations is a CMOS (complementary inverter), in which an enhancement-type MOSFET in a P channel is connected in series to an enhancement-type MOSFET in an N channel and in which the gate of the enhancement-type MOSFET in the P channel is connected to the gate of the enhancement-type MOSFET in the N channel to form an input end and the drain of the enhancement-type MOSFET in the P channel is connected to the drain of the enhancement-type MOSFET in the N channel to form an output end.

Fig. 2 illustrates the structure of a known CMOS having an N-channel MOSFET and a P-channel MOSFET. A P-type well 22 is formed in an N-type substrate 21 to separate the N channel from the P channel. The P-channel MOSFET having a P-type drain 23 and a P-type source 24 is formed outside the P-type well 22. An N-type drain 25 and an N-type source 26 are formed in the P-type well 22 by N-type impurity diffusion to provide the N-channel MOSFET. Referring to Fig. 2, reference numerals 27 and 28 denote insulated gates formed over the N-type substrate 21 with insulating layers 29, 29 sandwiched therebetween.

However, in the CMOS having the structure in Fig. 2, it

is difficult to suppress a so-called punch-through phenomenon in which a depletion layer expands owing to a reverse bias applied to a PN junction to short-circuit the MOSFET. In order to suppress the punch-through phenomenon (in order to increase the voltage against the punch-through phenomenon), for example, formation of a low-impurity-concentration area is attempted in part of the drain. However, such a method requires a high-precision impurity-concentration controlling technology and the effect of such a method is limited. Furthermore, since a high voltage is ordinarily applied to a base material for usage in such a CMOS, all devices other than the CMOS must be formed in the P well in order to form the devices on the base material. Hence, parasitic elements are formed in the devices and, therefore, can disadvantageously result in the occurrence of a latch-up phenomenon.

[Object of the Invention]

In view of the foregoing, it is an object of the present invention to provide a semiconductor apparatus capable of forming a CMOS in which it is difficult to cause a punch-through breakdown or latch-up phenomenon and which has a high breakdown voltage and can be easily integrated.

[Disclosure of the Invention]

In order to achieve the above object, the semiconductor apparatus according to the present invention has a

semiconductor substrate in which at least two wells including a first second-conductive-type well and a second second-conductive-type well are separated by a first-conductive-type separating layer on a first-conductive-type semiconductor layer. The first and second wells have an impurity concentration higher than that of the first-conductive-type semiconductor layer, and the separating layer has an impurity concentration higher than the first and second wells. The first well includes a second-conductive-type first area having an impurity concentration higher than that of the first well beneath its surface, first-conductive-type second areas having an impurity concentration higher than that of the first area are formed in the first area so as not to protrude from the first area, and first-conductive-type third areas having an impurity concentration higher than that of the first area are formed beneath the surface of the first well adjacent to the first area so as not to be in contact with the first area. A first electrode connected to the second areas and second electrodes connected to the corresponding third areas are formed on the surface of the first well, and third electrodes are formed over the surface of the first well with the corresponding insulating layer sandwiched therebetween so as to stride across the corresponding second area, the first area, the first well, and the corresponding

third area. The third electrode serves as an insulating gate, the adjacent second electrode serves as a drain electrode, and the first electrode serves as a source electrode to form a first-conductive-type MOSFET. Second-conductive-type fourth areas having an impurity concentration higher than that of separating layer are formed beneath the surface of the separating layer so as to be apart from the second well and a second-conductive-type fifth area having an impurity concentration higher than that of the second well is formed beneath the surface of the second well. Fourth electrodes formed so as to connect the corresponding fourth area to the surrounding separating layer and a fifth electrode connected to the fifth area are formed on the second well, and sixth electrodes are formed over the surface of the second well with the insulating layers sandwiched therebetween so as to stride across the corresponding fourth area, the separating layer, and the second well. The sixth electrode serves as the insulating gate, the fifth electrode serves as the drain electrode, and the fourth electrode serves as the source electrode to form a second-conductive-type MOSFET. The insulating gate of the first-conductive-type MOSFET is connected to the insulating gate of the second-conductive-type MOSFET and the drain electrode of the first-conductive-type MOSFET is connected to the drain electrode of the second-conductive-type MOSFET

to form a complementary MOS.

An embodiment of the present invention will be described in detail below with reference to Fig. 1.

At least two wells including N-type (second-conductive-type) first and second wells 2 and 3 are separated by a P-type (first-conductive-type) separating layer 4... on a P-type (first-conductive-type) semiconductor layer 1 to form a semiconductor substrate. The first and second wells 2 and 3 have an impurity concentration higher than that of the P-type (first-conductive-type) semiconductor layer 1. The P-type separating layer 4... has an impurity concentration higher than the first and second wells 2 and 3.

Although the semiconductor substrate is, for example, formed in the following manner, the method of forming the semiconductor substrate is not limited thereto.

First, an N<sup>-</sup> layer having an impurity concentration higher than that of the P-type semiconductor layer 1 is formed on the P-type semiconductor layer 1 by epitaxial growth or the like. Next, P-type impurity is diffused at predetermined positions in the N<sup>-</sup> layer to form the P-type separating layer 4... having an impurity concentration higher than that of the N<sup>-</sup> layer in order to separate the N<sup>-</sup> layer into the wells 2 and 3.

The first well 2 includes an N-type first area 5 having an impurity concentration higher than that of the first well



2 beneath its surface. P-type second areas 6 having an impurity concentration higher than that of the first area 5 are formed in the N-type first area 5. P-type third areas 7 having an impurity concentration higher than that of the first area 5 are formed beneath the surface of the first well 2 adjacent to the N-type first area 5. The second areas 6 are circularly formed so as not to protrude from the first area 5, and the third areas 7 are circularly formed so as not to be in contact with the first area 5. A first electrode 8 is connected to the second areas 6, and second electrodes 9 are connected to the corresponding third areas 7. Each third electrode 11 is formed over the surface of the first well 2 with the corresponding insulating layer 10a sandwiched therebetween so as to stride across the corresponding second area 6, the first area 5, the first well 2, and the corresponding third area 7. The third electrodes 11 serves as an insulating gate, the adjacent second electrode 9 serves as a drain electrode, and the first electrode 8 serves as a source electrode to form a P-type MOSFET (insulated-gate field-effect transistor).

N-type fourth areas 12 having an impurity concentration higher than that of separating layer 4 are formed beneath the surface of the separating layer 4, which is formed so as to surround the second well 3. An N-type fifth area 13 having an impurity concentration higher than that of the

separating layer 4 is formed in the second well 3. The fourth areas 12 are circularly formed so as to surround the second well 3 and not to be in contact with the second well 3. The fifth area 13 is formed so as not to protrude from the second well 3. Each fourth electrode 14 is formed so as to connect the corresponding fourth area 12 to the surrounding separating layer 4. A fifth electrode 15 is connected to the fifth area 13. Each sixth electrode 16 is formed between the corresponding fourth electrode 14 and the fifth electrode 15 over the surface of the second well 3 with the corresponding insulating layer 10b sandwiched therebetween so as to stride across the corresponding fourth area 12, the separating layer 4, and the second well 3. The sixth electrode 16 serves as the insulating gate, the fifth electrode 15 serves as the drain electrode, and the fourth electrode 14 serves as the source electrode to form an N-type MOSFET. In the N-type MOSFET, the upper part of the separating layer 4 is used as a base 4a functioning as a channel.

The insulating gate 11 in the P-type MOSFET is connected to the insulating gate 16 in the N-type MOSFET to form an input end ( $V_{in}$ ), and the drain electrode 9 in the P-type MOSFET is connected to the drain electrode 15 in the N-type MOSFET to form an output end ( $V_{out}$ ). These connections lead to the formation of the CMOS. In such a CMOS, the

source electrode 14 in the N-type MOSFET is set to a low voltage or is grounded to be used as a low-voltage end  $V_{SS}$ , and the source electrode 8 in the P-type MOSFET is set to a high voltage or is grounded to be used as a high-voltage end  $V_{DD}$ .

In the CMOS formed by using the semiconductor apparatus of the present invention in the above manner, the source electrode 14 serving as the low-voltage end ( $V_{SS}$ ) in the N-type MOSFET is also connected to the base 4a and, thus, the diffusion layer 4 including the base 4a, the semiconductor layer 1, or another diffusion layer 4... (the rightmost diffusion layer 4 in Fig. 1) can also be set to the low-voltage state (including the grounded state). Hence, when devices other than the CMOS are formed on the same substrate, the devices are not necessarily formed in the well, thus eliminating the risk of the latch-up phenomenon. In addition, various devices are formed in the wells, each having a different voltage.

Since the base 4a has an impurity concentration higher than that of the second well 3 in the PN junction of the P-type base 4a serving as the channel and the second well 3 serving as the drain in the N-type MOSFET, a depletion layer expands in the second well 3 but does not expand in the base 4a in a reverse biased state, thus eliminating the risk of the punch-through breakdown in this area. The same applies

to the P-type MOSFET. Since the third areas 7 have an impurity concentration higher than that of the first well 2 in the PN junction of the first well 2 serving as part of the channel and the third areas 7 serving as the drain in the P-type MOSFET, the depletion layer hardly expands in the third areas 7. Although the depletion layer expands in the first well 2 serving as part of the channel, the depletion layer does not expand toward the first area 5 because the impurity concentration of the first area 5 forming the remaining part of the channel is higher than that of the first well 2. In other words, in the P-type MOSFET, even when the first well 2 serving as part of the channel has a low threshold (sometimes, the first well 2 is depleted), the first area 5 forming the remaining part of the channel has a high threshold and, therefore, the first area 5 controls turning on and off the MOSFET. This contributes to the suppression of the punch-through breakdown.

Since the N-type two wells 2 and 3 have an impurity concentration higher than that of the P-type semiconductor layer 1, the depletion layer expands in the semiconductor layer 1 but does not expand in the wells 2 and 3 with a reverse bias being applied in this PN junction. Accordingly, the depletion layer occurring in the PN junction does not expand into the channel even with the thin wells 2 and 3, so that the thin wells 2 and 3 can be used while keeping a high

voltage. Hence, it is possible to simplify a process, such as the formation of the separating layer by the epitaxial growth or the impurity diffusion described above.

The semiconductor apparatus of this embodiment employs the long channel to suppress the punch-through breakdown owing to the expansion of the depletion layer and to achieve a high breakdown voltage.

According to the present invention, the latch-up phenomenon or the punch-through breakdown is suppressed in the manner described above, thus realizing the CMOS that can be easily integrated and has a high breakdown voltage.

Although the semiconductor apparatus of the present invention has been described according to the embodiment shown in Fig. 1, the present invention is not limited to the embodiment in Fig. 1. Although, for example, the N-type channel or the P-type channel is circularly formed to be used as one N-type MOSFET or one P-type MOSFET, respectively, in the embodiment in Fig. 1, two or more channels may form the MOSFET and the channels may not be circularly formed. In addition, although the first conductive type is the P type and the second conductive type is the N type because the P-type semiconductor layer 1 is used in this embodiment, the first conductive type is the N type and the second conductive type is P type when an N-type semiconductor layer 1 is used.